

# Arm Cortex-M55 處理器介紹

arm

文：Joseph Yiu,  
Distinguished Engineer

2020年2月

白皮書

## 摘要

Arm Cortex-M55處理器是AI能力最強大的Arm Cortex-M處理器，也是第一個具有Arm Helium向量處理技術的處理器，帶來提升與節能的數位訊號處理(DSP)與機器學習(ML)效能。本白皮書針對Cortex-M55處理器的特色、目標應用以及如何著手進行開發，提供總覽。

## 目錄

### 主題

#### [2. 概論](#)

#### [3. 總覽](#)

#### [4. 技術細節](#)

##### [4.1 處理器](#)

##### [4.2 浮點單元](#)

##### [Helium技術](#)

##### [4.3.1 Cortex-M55處理器支援Helium技術](#)

##### [4.3.2 Helium如何協助數位訊號處理與機器學習](#)

##### [4.3.3 Helium的效能](#)

##### [4.3.4 Helium額外的優點](#)

##### [4.4 記憶體系統](#)

##### [4.5 安全](#)

##### [4.6 除錯](#)

##### [4.7 創新](#)

#### [5. Cortex-M55處理器應用](#)

#### [6. 軟體](#)

#### [7. 支援的IP](#)

##### [7.1 Corstone-300](#)

##### [7.2 Ethos-U55處理器](#)

#### [8. 結論](#)

## 概論

Cortex-M55處理器是第一個支援Arm v8.1-M架構的Arm Cortex-M處理器。有了Helium技術(亦稱為M-Profile Vector Extension, MVE)，基於Cortex-M55的產品與過去基於Cortex-M的產品相比，訊號處理與ML應用的效能與節能表現都大幅提升。Arm v8.1-M架構於2019年的嵌入式電子與工業電腦應用展(Embedded World)中發表，您可以在[這裡](#)找到介紹Arm v8.1-M的白皮書。

除了Helium技術，Arm v8.1-M架構還包括許多能為Cortex-M55處理器帶來更多好處的性能提升，在採用處理器與架構層級上還有許多可選用的功能可讓系統單晶片(SoC)設計人員針對特定應用打造符合不同需求的設計。這份白皮書將詳細闡述這些功能。

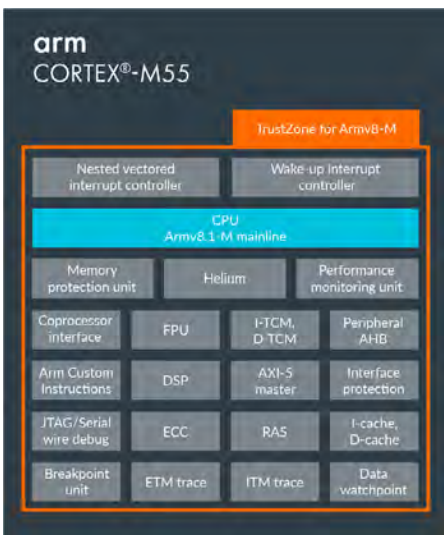
## 總覽

Cortex-M55處理器被設計來於極小的晶片面積上，在控制、訊號處理與ML方面達成傑出的效能與能源效率。同時，它的設計持續符合您今日在微控制器與嵌入式系統中所需的關鍵需求，包括：

- ✦ 即時能力
- ✦ 安全性
- ✦ 使用簡便

以下是Cortex-M55處理器關鍵特色的快速總結：

- ✦ Arm v8.1-M 架構並且支援：
  - 可選用的Helium向量處理
  - 可選用的浮點單元(FPU)，並支援multiple floating-point formats
- ✦ 可選用的TrustZone安全延伸
- ✦ 先進的記憶體系統功能，包括支援快取與緊密耦合記憶體(TCM)
- ✦ 可選用安全與非安全記憶體保護單元(MPU)，每個單元最高可選用16個MPU區域
- ✦ 最高可達480個中斷與不可遮罩的中斷(NMI)，具備8到256階的可程式化優先等級
- ✦ 可選用的共處理器介面
- ✦ 可選用的Arm Custom Instructions客製化指令(2021年推出)
- ✦ 各種除錯功能的強化，包括全新的效能監控單元(PMU)
- ✦ 與4.2 CoreMark/MHz



圖表1:  
Cortex-M55的  
方塊圖

## 技術細節

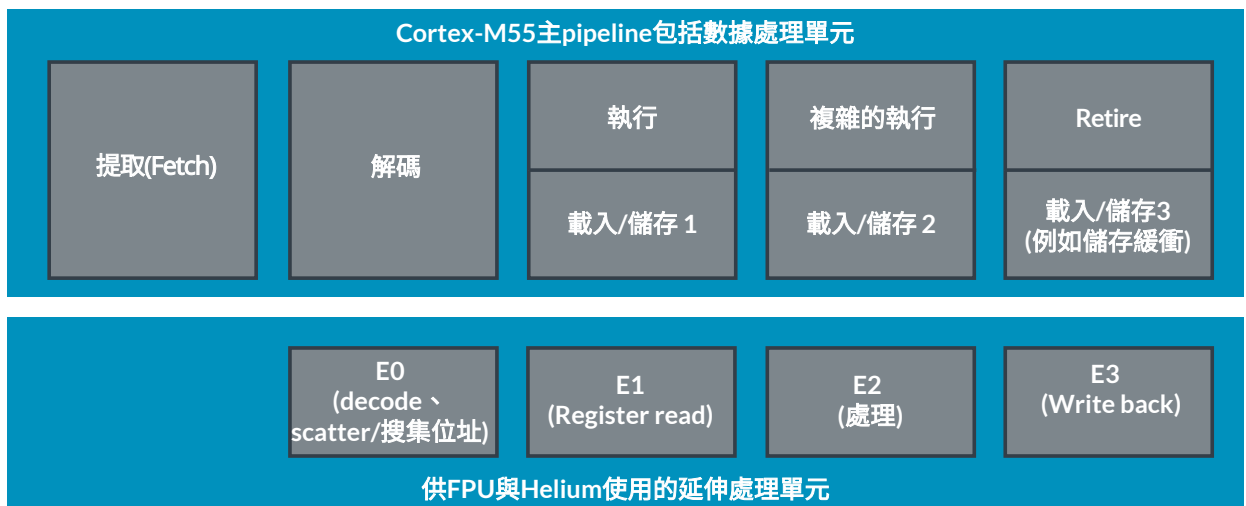
### 4.1 處理器

Cortex-M55裡的處理器是一種基於4-stage integer pipeline設計，當它包括Helium向量延伸功能時，向量引擎會把總pipeline擴增至五級。Pipeline完全按序執行(換句話說，沒有亂序)，並且包含少量的dual-issue能力。當指令發出階段偵測接下來的兩個指令都是16-bit時，依指令類型組合的不同，兩個指令可以同時發出。不過，與Cortex-M7處理器不同的是，Cortex-M55處理器的dual-issue能力有所限制，並且不歸類為superscalar處理器。儘管如此，它還是讓Cortex-M55的效能達到1.6DMIPS/MHz，比Cortex-M4處理器最高提升了28%。

Pipeline分為兩側：

- ✦ 永遠存在的主 pipeline
- ✦ 延伸的處理單元，這部份只有在包含FPU或Helium技術支援時才存在

圖表2:  
Cortex-M55的  
管線



Pipeline的分離讓FPU或Helium單元在沒有使用的情况下可以關閉電源，或進入保持狀態。

4-stage pipeline讓Cortex-M55處理器與相當受歡迎的Cortex-M4處理器相比，最大時脈頻率 (clock frequency) 可以小幅提升(依組態不同，通常提升超過10%)。

### 4.2 浮點單元

Cortex-M55的FPU支援，是基於完全遵循IEEE-754的Arm FPUv5架構。當Cortex-M55處理器包含FPU時，它可以支援數據格式為半精度(16-bit；fp16)、單精度(32-bit；fp32)以及雙倍精度(64-bit；fp64)的純量浮點指令(scalar floatpoint instruction)。

對半精度浮點算術(half-precision floating-point arithmetic)的支援，是Arm Cortex-M處理器的新功能。各種聲訊處理與感測器數據處理情境中，都需要寬廣的動態範圍，但音訊品質與訊號的解析度並不需要很高。在此類應用中，半精度浮點格式可能相當適合，因為相較於使用單精度浮點(32-bit)，每個時脈週期可以處理兩倍的數據量，同時可以減少數據儲存占用的記憶體空間。

[Cortex-M processors](#)處理器長期以來一直可以使用單精度浮動(single-precision float)。與Cortex-M4處理器相比，單精度浮點的支援已經強化(過去Cortex-M4是FPv4；最近的Cortex-M處理器則是用FPv5)，且單精度浮點處理的效能也顯著提升。由於雙精度處理在微控制器與小型物聯網終端裝置中相對罕見，Cortex-M55處理器的雙精度浮動支援聚焦在優化面積較小與低耗電的裝置。不過，此類處理由於擁有原生的雙精度浮點指令支援性，效能與沒有原生支援雙倍精度的處理器相比，仍然明顯高出許多。

### 4.3 Helium技術

#### 4.3.1 Cortex M55處理器的Helium支援

如同其它的Cortex-M處理器，Cortex-M55處理器具有高度配置的彈性，而對Helium技術的支援，在Cortex-M55上也是一個選項。從指令集支援的觀點來看，總共有五種組合：

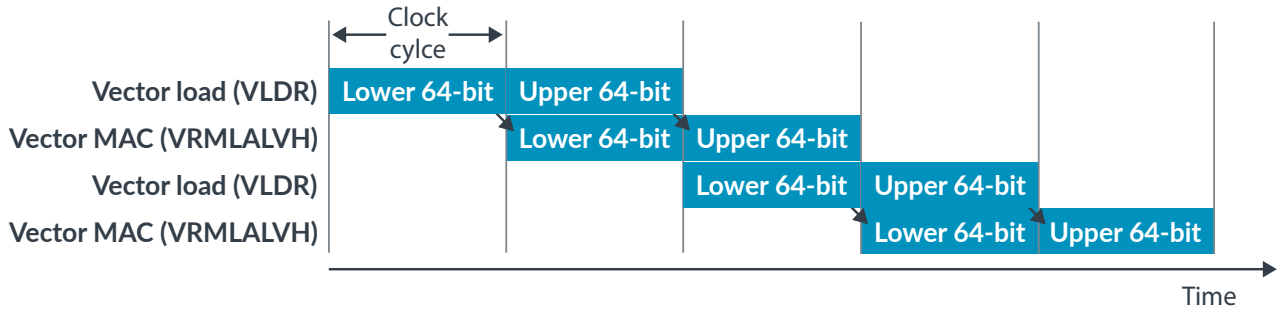
配置Helium數據類型： 向量固定	FPU數據類型： 純量浮動(fp16, fp32, fp64)	Helium數據類型： 向量定點 (8-bit, 16-bit, 32-bit)	Helium數據類型： 向量浮點(fp16, fp32)
1	-	-	-
2	包含	-	-
3	-	包含	-
4	包含	包含	-
5	包含	包含	包含

這些選項讓SoC設計人員得以客製化Cortex-M55處理器的設計，以便迎合特定的應用需求。

#### 4.3.2 Helium如何協助數位訊號處理與機器學習

一如我們在 [Armv8.1-M概論白皮書](#)中介紹，Helium將FPU中的暫存器再次當成向量暫存器使用，而每個向量都是128-bit。Cortex-M55向量引擎使用64-bit的內部數據路徑實施，是過去Cortex-M設計(32-bit)對SIMD支援寬度的兩倍。每個Helium的運作需要兩個時脈週期，這種架構讓Cortex-M55可以在指令與指令之間重疊執行週期，針對各種編碼片段效能增加一倍，而記憶體存取與數據處理也可平行執行。這種管線特性可以藉由同時利用多種的硬體資源，達成高效率。

圖表3:  
向量數據  
處理

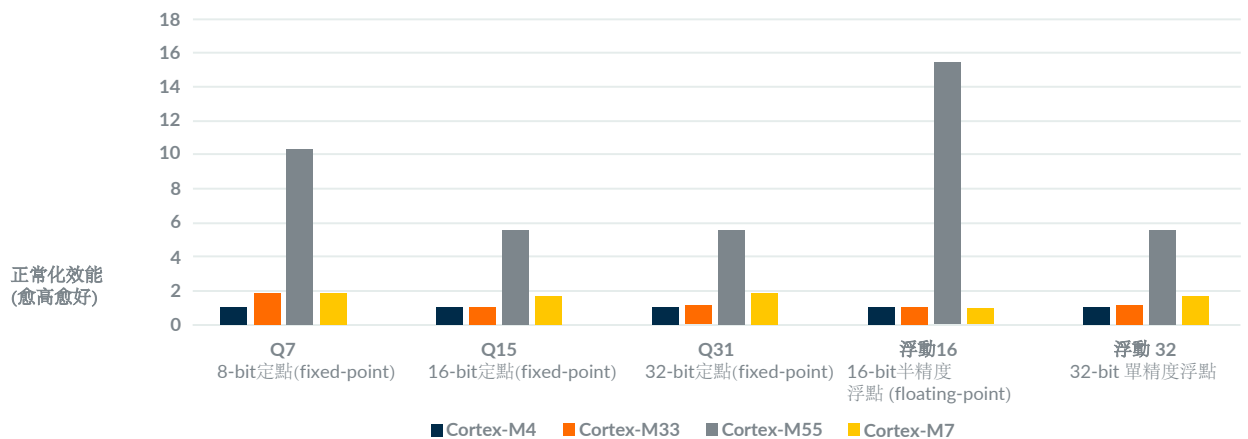


在此同時，像Low-overhead Branch Extension(低負擔分支延伸)與全新的向量記憶體存取指令等新功能，也讓效能進一步提升。也因此，Cortex-M55處理器與過去的Cortex-M4處理器相比，向量數據處理的效能是四倍以上。如此的效能增進相當適應於各種訊號處理的演算法，例如有限脈衝響應(FIR)濾波器、快速傅立葉變換(FFT)，以及使用神經網路進行推論的ML處理任務(詳見下一個4.3.3章節)等。

#### 4.3.3 Helium的效能

Arm在Armv8.1-M與Cortex-M55處理器的開發過程中，實施各種的基準測試。從根據應用類型開始進行的高階分析開始，我們看到Cortex-M55的DSP效能與ML效能，最高分別提升5倍與15倍。如圖表4顯示，根據數據類型的不同，我們在DSP的工作負載上看到各種不同的效能提升。

圖表4：  
特選CMSIS-DSP核心每  
個數據類型的平均效能  
Vs. Cortex-M處理器



#### 4.3.4 Helium額外的優點

Helium不僅對於訊號處理與ML的應用相當有用，在其它許多處理數據陣列的應用中，數據處理也可以利用C語言編譯器對自動向量化的支援，進行向量化。因此，Helium可以為各式各樣的一般應用帶來效能上的好處。

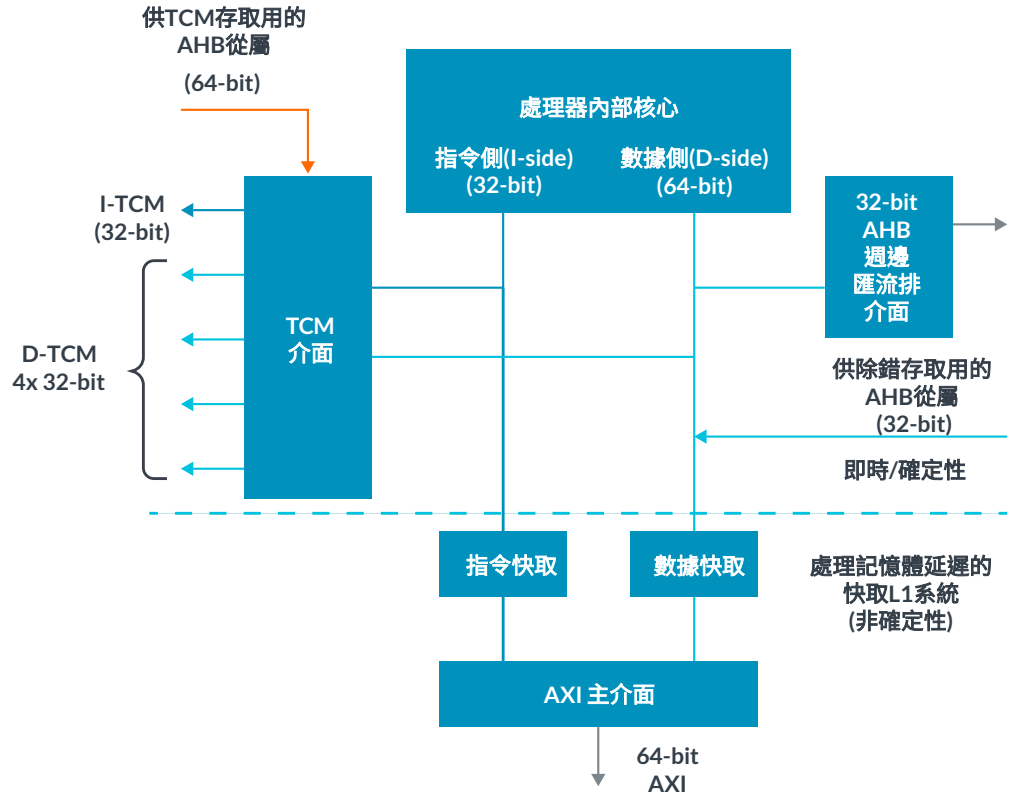
Armv8.1-M架構的低負擔分支延伸，可避免在某些情況下為了達成高效能，進行過於積極的迴路展開。這讓應用可以為高階的快速優化接受編譯，同時縮小編碼尺寸，從而帶來低耗電與成本的降低。即便沒有Helium技術，Armv8.1-M環境下仍然可以使用某些低負擔分支指令。

#### 4.4 記憶體系統

Cortex-M55的記憶體系統與Cortex-M7處理器在高層級上相當類似，不過細節上仍然不一樣。內部記憶體系統，分成兩個部份進行設計：

- ✦ 一個為即時與確定性行為優化的緊密耦合部份
- ✦ 一個基於快取記憶體的匯流排系統，可以讓Cortex-M55處理器與具有較高延遲的記憶體系統一起使用。

圖表5:  
Cortex-M55的  
記憶體系統



主要的介面描述如下：

- ✦ **AMBA 5 AXI主匯流排介面** – 64-bit的AXI5介面考量到高頻寬記憶體存取，並支援多重未處理轉移，如此一來即便主記憶體(DDR)的延遲很高，我們仍然可以獲得高效能。AXI介面也可運行與處理器時脈不同的分離時鐘頻率速度。儘管主匯流排介面擁有一些來自AXI5的新功能(RAS延伸、同位數據檢查、電力控制用的AWAKEUP)，AXI5的功能之中只有一個子集可以落實，因此與AXI4匯流排互連的IP，仍然可以和Cortex-M55處理器一起使用。
- ✦ **指令快取** – 指令快取是個選項，實施配置可以從0KB到64KB。它是基於雙向集合相聯的快取記憶體機制，並支援可選購的錯誤校正式碼(ECC)。
- ✦ **數據快取** – 數據快取是個選項，實施配置可以從0KB到64KB。它是基於四向集合相聯的快取記憶體機制，並支援寫回(WB)與寫入(WT)快取方式，以及可選購的ECC。

- + **指令緊密耦合記憶體 (ITCM)** – 32-bit的TCM指令是個選項，配置可從0到16MB。它同時支援等待狀態與可選購的ECC。
- + **數據TCM** – 數據TCM是個選項，配置可從0到16MB。它也支援等待狀態與可選購的ECC。與Cortex-M7處理器不一樣的是，Cortex-M55提供四個32位元的數據TCM介面，並使用位址值的第二與第三位元平等切開。因此總體來說，數據TCM介面每週期最高可支援128-bit的數據傳送頻寬。稍早我們提到Cortex-M55處理器內部的Helium數據路徑是64-bit，因此處理器的軟體執行只能產生每週期64-bit的數據流量。不過，在許多訊號處理或ML處理任務中，我們也需要使用到直接記憶體存取 (DMA)的運行，將新的數據傳送到數據TCM，並在處理器運行的同時，從數據TCM抽取舊的結果。擁有額外的TCM介面與頻寬，可以讓處理器與軟體存取同步處理傳送。倘若在處理器上運行的軟體與DMA控制器都嘗試存取同樣的數據TCM記憶體庫，軟體存取將取得優先權，而在下一個時鐘週期，軟體存取可能會轉移到另一個記憶體庫，讓DMA傳送得以進行。
- + **供TCM使用的AHB從屬介面** – 這個64-bit的AHB介面，讓DMA控制器或其它匯流排主控器存取指令TCM與數據TCM。此一介面也支援叢發傳送。由於此一安排與AXI相比具有較低的矽晶圓面積固定成本，因此它也使用AMBA 5 AHB協定，不過匯流排的橋接元件也可以用來把AXI DMA控制器輕鬆橋接至這個AHB從屬介面埠。
- + **AHB週邊匯流排介面** – 32-bit的AHB週邊介面，可以讓我們在Cortex-M55處理器上輕易地再次使用舊有的AHB週邊設備。此外，它可以藉由予許週邊暫存器的存取來降低存取延遲，以避開可能遭受延遲衝擊的主AXI互連。
- + **除錯AHB** – 32-bit的除錯AHB5從屬介面，允許例如除錯存取埠(DAP)等除錯元件存取Cortex-M55處理器的記憶體系統。或者，當Cortex-M55處理器使用於多核心的SoC設計時，我們也可使用CoreSight的除錯次系統。

所有的匯流排介面，都是基於AMBA標準定義的匯流排協定。這些匯流排協定是開放的且不收取權利金，目前市面上並且都有驗證過的產品。Arm為了協助晶片設計人員處理系統層級的整合，同時提供Arm Corstone-300，這是一種包含供Cortex-M55處理器使用的各種系統IP元件的參考設計。更多有關這些相關系統元件的細節，本白皮書稍後會提供。

## 4.5 安全

Cortex-M55處理器支援 [Arm TrustZone 安全](#) 延伸，並且是個可以彈性配置的選項。這是因為SoC設計可能使用其它的處理器，而安全性較為敏感的運作可以在其它地方處理。

---

Armv8.1-M導入許多安全強化功能，包括被稱為Privileged eXecute Never (PXN)的全新MPU區域屬性、Unprivileged Debug Extension (UDE)，以及與TrustZone相關的一些強化(例如CLRM與VSSCLRM等指令，可以在多個暫存器中快速清除Secure數據)。

Armv8.1-M有了這些可取用的全新功能後，Cortex-M55處理器內的每個安全領域，都可能擁有不同軟體元件的獨立除錯權限。例如，某家半導體供應商可能需要把第三方的程式庫包進他們的Secure 韌體中。這種新能力可以讓這家半導體供應商把除錯能見度限制在仍在開發中的非特權程式庫。如此可以讓第三方開發人員進行軟體開發，但他們不能對來自這家半導體供應商的特權Secure韌體，或是其它預先載入裝置的非特權Secure軟體元件，進行逆向工程。

#### 4.6 除錯

Cortex-M55處理器支援許多其它Cortex-M處理器已有的各種除錯功能，包括：

- ✦ 停止模式與監控模式除錯，並可即時對記憶體空間進行除錯存取
- ✦ 最多8個硬體斷點(hardware breakpoint)，以及無限制的軟體斷點(software breakpoint)
- ✦ 最多4個數據監視點(data watchpoint)
- ✦ 具Embedded Trace Macrocell (ETM)功能的指令追蹤  
使用數據監視點與追蹤單元(DWT)進行選擇性的數據追蹤、任務追蹤與設定表示追蹤
- ✦ 使用Instrumentation Trace Macrocell(ITM)展開透過軟體產生的追蹤
- ✦ 支援TrustZone的除錯鑑別介面(Debug authentication interface)

同時，它還有其它全新的除錯強化：

- ✦ **效能監控單元** - DWT已經延伸包括PMU的功能性。這包括八個16-bit的任務計數器來計算架構與實施的任務，而且這些計數器如果必要的話，可以進行成對串接。例如[Arm Streamline Performance Analyzer](#)等開發工具，將可以使用此一功能來提供詳細的軟體效能分析。
- ✦ **直接快取存取暫存檔** - 這些暫存檔允許快取狀態(標籤)被存取，而諸如[Arm Development Studio](#)等開發工具，也可以使用此一功能來提供 [Cache Data View](#)。
- ✦ **非特權的除錯延伸(UDE)**

Cortex-M55的設計包包含一個除錯存取埠模組(供JTAG與Serial Wire Debug介面使用)，以及Trace Port Interface Unit(追蹤埠介面單元；TPIU)。處理器的設計支援，也與CoreSight完全相容。晶片設計人員在多核心系統設計中使用Cortex-M55處理器時，可以使用例如 [CoreSight SoC-600](#) 與 [Coresight SoC-600M](#)等解決方案，把Cortex-M55處理器的除錯系統與晶片中的其它除錯系統連結起來。這可以讓除錯器利用單一的除錯與追蹤連結，存取多個處理器與其它IP的除錯與追蹤功能。



#### 4.7 創新

Cortex-M55處理器支援Cortex-M33與Cortex-M35P處理器先前已經推出之同樣的共處理器介面。為這些處理器設計的現有硬體加速器，也立即可以在Cortex-M55處理器上再次使用。SoC設計人員使用共處理器介面可以打造出緊密耦合的硬體加速器，來加速某些種類的處理功能。

Cortex-M55處理器未來將發表可支援Arm Custom Instructions的新版本，提供另一個加速特殊數據處理功能的方式(2021年推出上市)。請點擊 [這裡](#)，以獲取更多有關Arm Custom Instructions的細節。

## Cortex-M55 處理器應用

Cortex-M55處理器的設計用意，在於供各式各樣的應用使用。除了Cortex-M處理器極受歡迎的傳統微控制器市場(例如消費者物聯網、工業與馬達控制、機器人、醫療與健身裝置)，具Helium技術的Cortex-M55處理器在許多新的應用方面，也可帶來顯著的好處：



耳塞式耳機



指紋解鎖



健康追蹤器



預測性維護



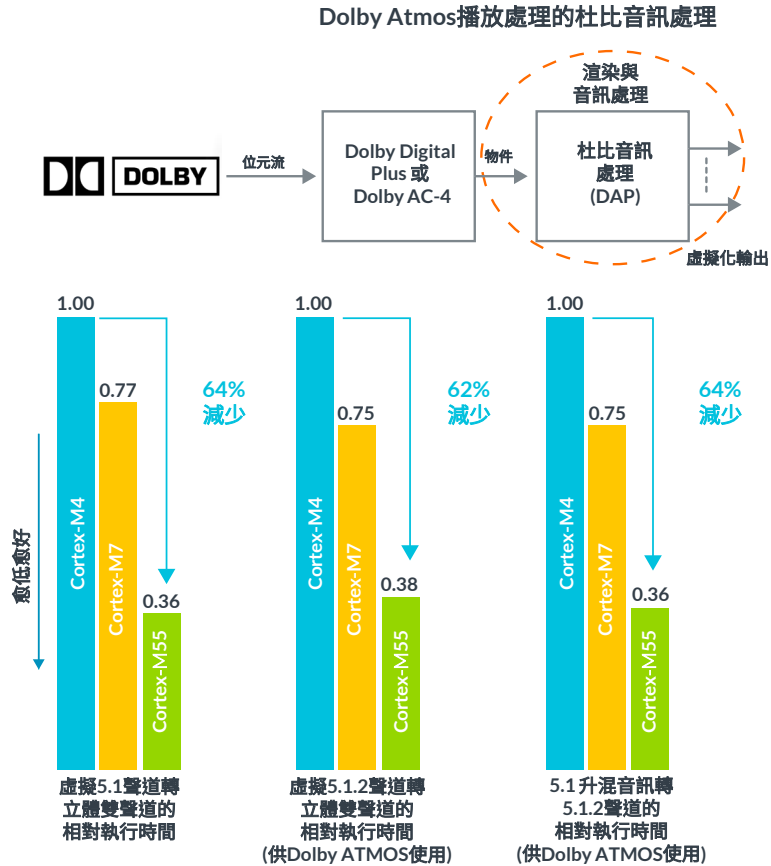
智慧音箱



影像門鈴

例如，Arm與杜比(Dolby)公司已展開密切合作，共同研究如何利用Cortex-M55進行杜比音效處理。從分析結果來看，我們看到Cortex-M55處理器與Cortex-M4處理器相比，執行的時間可以縮短60%以上。

圖表6：  
比較Cortex-M55處理器與前一代Cortex-M與Cortex-A處理器有關Dolby Atmos音效的效能結果



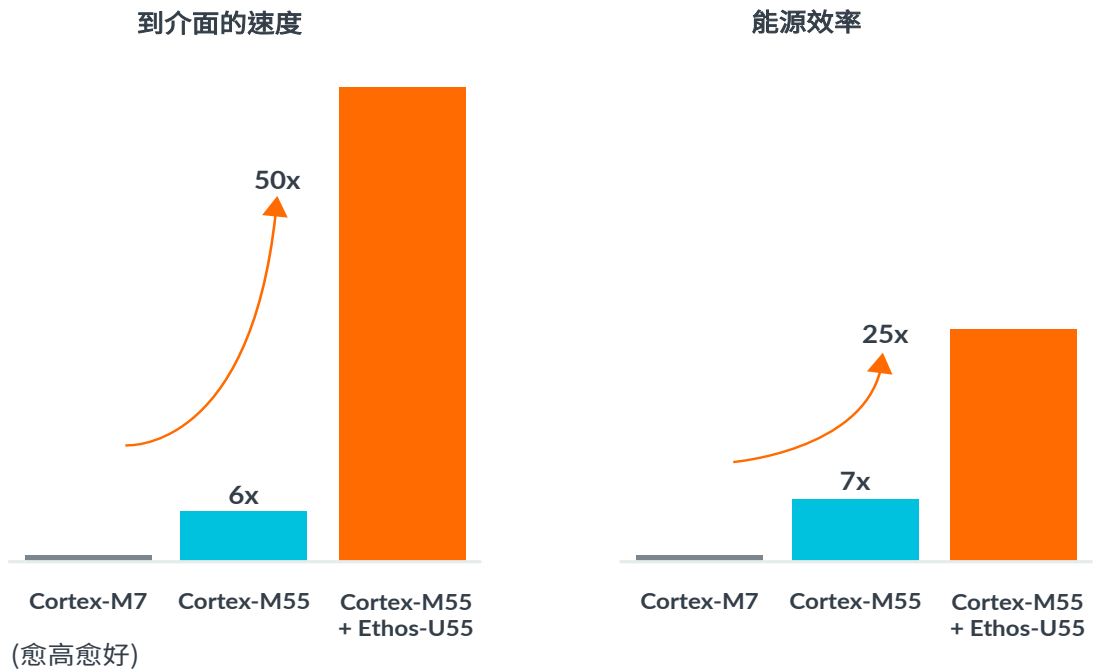
產品設計人員藉由使用Cortex-M55處理器，可以用更高的效率與更低的成本，打造擁有解碼Dolby ATMOS音效能力的音訊產品。

有關融合感測器處理的工作負載，與過去的Cortex-M處理器相比，我們在處理時間方面看到長足的進步。例如，Hillcrest實驗室針對在Cortex-M55模型上運行的四元數乘法核心(供運動檢測處理用)所進行的分析顯示，當我們使用Helium技術時，速度會顯著提升。只有單一四元數數字的指令，速度最高可以提升2.5倍；而具有八個或更四元數字的指令，速度至少可以提升四倍。更多資訊，請下載Hillcrest實驗室與Arm合撰的[這份白皮書](#)。

四元數數目	Cortex-M4 比率	Cortex-M7 比率	Cortex-M4 速度提升	Cortex-M7 速度提升
1	30.39%	44.93%	3.3x	2.3x
8	17.86%	27.68%	5.6x	3.7x
16	17.09%	26.87%	5.9x	3.8x
32	16.69%	26.45%	6x	3.8x

針對ML應用，效能的提升更是顯著。根據Arm研究所進行的分析，Cortex-M55處理器在語音助理應用方面，相較於與Cortex-M7處理器效能可以提升六倍。倘若我們需要更高的ML效能，7.2章節將仔細介紹的Ethos-U55處理器是Cortex-M55處理器理想的伴隨加速器。

圖表7:  
Cortex-M55搭配Ethos-U55處理器與Cortex-M7處理器針對語言助理典型工作負載的比較(更多有關Ethos-U55資訊，請參考7.2章節)



## 軟體

Cortex-M55處理器雖然可以帶來優異的訊號處理與神經網路推論能力，我們還是需要軟體開發人員提供軟體。幸運的是，由於Cortex-M55處理器是基於與今日數百萬嵌入式軟體開發人員使用的同樣之架構系列，使用上因此極為簡便，而且許多現有的應用也可輕易轉移到Cortex-M55處理器。

- + 受惠於編譯器技術的精進，許多應用只要升級到C語言編譯器，並在專案選項中啟動Helium功能，就可以利用Helium技術。
- + 支援Helium的CMSIS-DSP 目前已經上市，而且軟體開發人員可以藉由已具備Helium功能的版本取代DMSIS-DSP，獲取效能上的好處。在此同時，新功能也已加入CMSIS-DSP的程式庫，讓Arm Cortex處理器可以使用在需要更密集運算的更多應用。
- + CMSIS-NN (神經網路)程式庫也將進行更新，以支援Helium技術。CMSIS-NN程式庫已緊密整合進入包括TensorFlow Lite Micro等ML軟體框架中。
- + Trusted Firmware-M 正在進行更新，以支援Cortex-M55處理器與Corstone-300，後者是一個系統IP的程式包(請見7.1章節)

- ✦ 有關ML框架，[TensorFlow Lite Micro](#) 充份獲得Cortex-M55與Ethos-U55工具鍊的支援。這些處理器的驅動程式會針對開發人員想要部署的任何硬體配置，自動優化他們的TensorFlow 模型。更多細節，請見以下的7.2章節。
- ✦ 更多的軟體賦能工作，也持續進行中；而各種演算法、軟體、工具與RTOS的合作夥伴也將提出優化的軟體程式庫，以縮短開發所需時間。

為了讓您今日就能啟用，Cortex-M55處理器同時獲得Arm Compiler 6.14的支援，並可透過MDK v5.30 與Arm Development Studio取得。軟體開發人員可以免費取用Cortex-M55固定虛擬平台(FVP)。具配置彈性與SystemC介面的Cortex-M55 Fast Model，支援客製虛擬的原型設計。請點擊 [這裡](#)，以瞭解更多有關Cortex-M55可用的Arm工具。

圖表8:  
Arm龐大的AI夥伴與矽晶  
圓、演算法、軟體、工具  
及RTOS合作夥伴構成的  
生態系統



## 支援的IP

### 7.1 Corstone-300 參考設計

為了讓SoC設計人員可以快速打造基於Cortex-M55的設計，Arm開發出Corstone-300。這是一種Corstone程式包，提供各種系統IP元件以及參考系統設計。與相關的支援軟體與工具搭配後，Corstone-300是個可以打造安全系統並降低成本與風險的解決方案。

此外，Arm的 Artisan Physical IP libraries實體IP程式庫，則針對基於Corstone-300的SoC實施案件，提供低耗電、整合式的端對端物聯網解決方案。

Corstone-300參考設計，整合了Cortex-M55處理器與基於AMBA AXI的優化系統匯流排。它展現在AMBA AXI匯流排上為Armv8-M進行的TrustZone實施，並顯現出橫貫整個系統的整合式電力控制。這套IP包括數個有用的元件，包括：

- ✦ 各種TrustZone 安全管理IP，例如CoreLink SIE-200與CoreLink SIE-300 13 CoreLink NIC-400-Lite可配置的AXI互連。

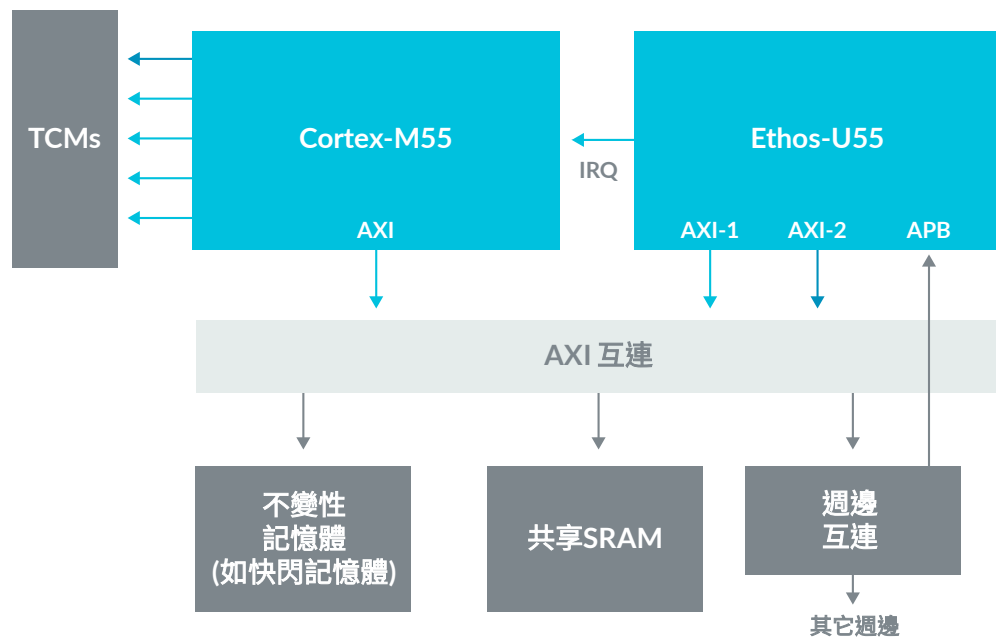
- ✦ 各種AMBA AXI與AHB5橋接器，包括AXI與AHB5之間的橋接元件。
- ✦ CoreLink電力控制套件(PCK-600)
- ✦ 同屬快閃記憶體控制器(CoreLink GFC-100 與GFC-200)
- ✦ 真實亂數產生器(TRNG)與即時時鐘(RTC)

Corstone-300參考設計讓半導體供應商贏在起跑線上，並很容易針對各式各樣的使用案例進行客製化。Corstone-300平台將以開放原始碼軟體方式取得支援，例如Trusted Firmware-M 與Amazon FreeRTOS，讓Arm的合作夥伴很容易進行軟體轉移。Corstone-300的驅動，是透過設計上具TrustZone安全的系統架構。搭配相關軟體後，Corstone-300加速PSA認證的晶片與裝置的開發之路。

## 7.2 Ethos-U55 處理器

Ethos-U55處理器是Arm第一個微神經處理器單元，這是顆全新的ML處理器，特別設計用來替成本敏感且面積受限的物聯網與嵌入式裝置，加速ML的推論。它被設計成可以放進基於Cortex-M的系統，以便卸載神經網路任務。它每個週期的配置，可以從32 MAC最高到256 MAC。有了TensorFlow ML框架的軟體支援，對於需要語音辨識、關鍵字辨識與影像分類等應用，Ethos-U55提供最理想的ML加速。

Ethos-U55處理器的設計，擁有兩個AMBA AXI主介面，一個供配置與控制暫存器程式設計使用的APB介面，以及傳送給主處理器的中斷信號與電力管理控制信號。兩個AMBA AXI主介面都是64-bit，其中一個供讀/寫，另一個則只用來唯讀快閃記憶體中的數據。若所有數據都存在SDRAM，可以取消不再使用唯讀的介面。

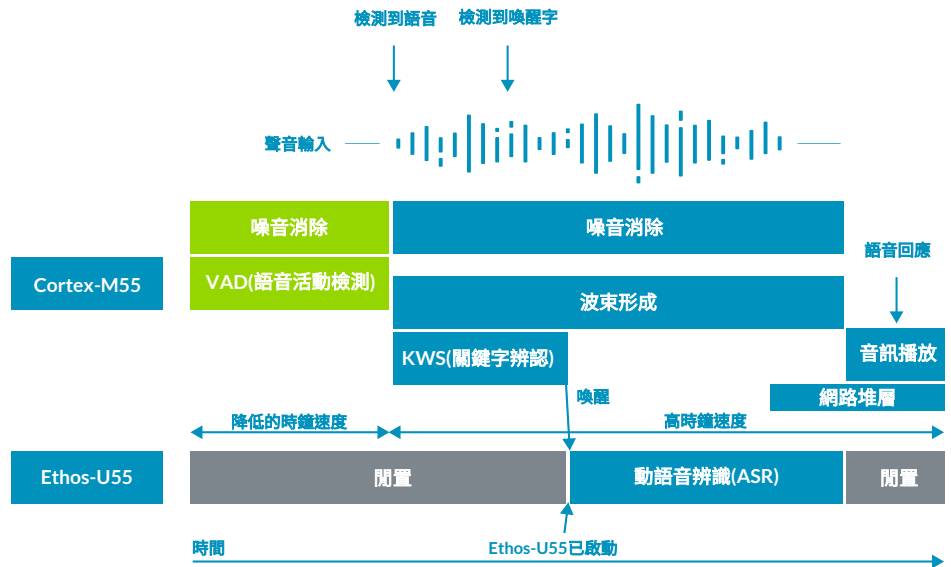


圖表9:  
Cortex-M55與Ethos-U55  
處理器的系統

Ethos-U55上面的AMBA AXI介面具有64-bit的寬度，第二個AMBA AXI介面則提供存取典型微控制器系統中不變性記憶體數據的專用AMBA AXI頻道。對於大多數的微控制器應用，Ethos-U55的命令列表已經事先編譯且置於快閃記憶體中，而Cortex-M處理器可以透過APB控制介面發出開始命令與命令列表指標，以便開啟神經網路的處理。處理完成後，Ethos-U55處理器會發出一個中斷任務回去給Cortex-M處理器。

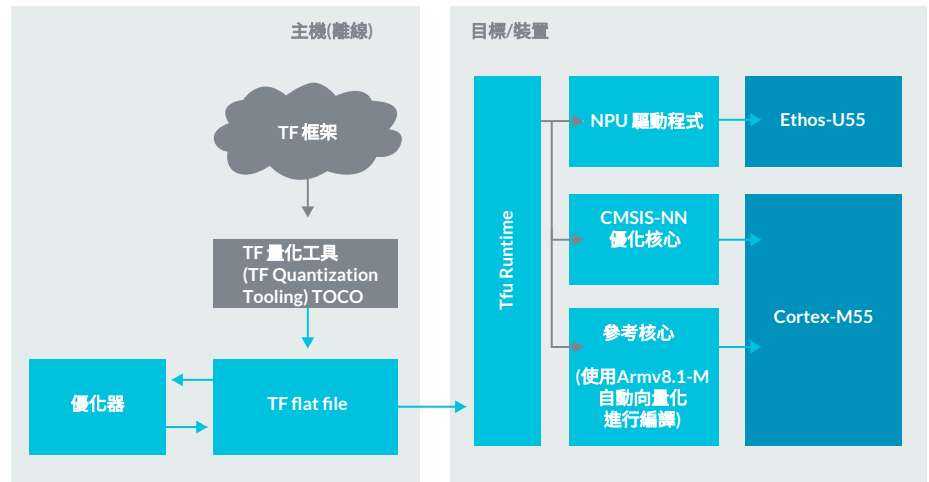
在智慧音箱的應用中，Cortex-M55與Ethos-U55處理器彼此合作無間。例如，Ethos-U55內定可以處於低耗電模式下，至於Cortex-M55則用來檢測語音與喚醒字。Ethos-U55一旦檢測到喚醒字，便可以執行自動語音辨識(ASR)中的神經網路處理。

圖表10:  
Cortex-M55與Ethos-U55處理器在智慧音箱應用中共同運作



軟體開發人員藉由使用TensorFlow的ML框架，可以受益於Ethos-U55的處理能力。TensorFlow模型量化成TensorFlow Lite (TFL)模型後，我們接下來利用Arm的優化工具，檢驗TFL FlatBuffer檔案。此一工具可以找出哪些ML運算子可交由Ethos-U55微神經處理器進行處理，並以一序列的特別運算取代這些運算子；其它的ML運算子則可以在Cortex-M處理器上，透過來自CMSIS-NN程式庫的優化核心進行處理。萬一很罕見地出現Ethos-U55微神經處理器與CMSIS-NN程式庫中都無法取用某個ML運算子情況時，這個運算子的處理將回到推論實施的使用。此一推論實施與CMSIS-NN程式庫，都可以靠C/C++語言編譯器中的先進優化，利用Helium技術達成自動向量化，或是使用Arm v8.1-M架構導入的其它指令。

圖表11：  
Cortex-M55與Ethos-U55處理器使用  
TensorFlow ML框架



## 結論

Cortex-M55處理器是Arm AI能力最強大的Cortex-M處理器，也是第一個具有Arm Helium向量處理技術的處理器。由於與Cortex-M家族基於一樣的設計原理，這個處理器可以：

- ✦ 強化終端裝置的AI效能，為Cortex-M帶來最高、最具效率且即時的ML與DSP效能
- ✦ 藉由使用共處理器介面，為您的設計做出區隔，或是藉由整合Arm Custom Instructions優化特定工作負載，並延展處理器的能力(2021年推出)
- ✦ 利用具有TrustZone功能的Corstone-300參考設計，加速產品上市、簡化安全，並加速PSA認證的矽晶圓與裝置的開發之路
- ✦ 使用單一的開發人員工具鍊簡化軟體的開發，並獲得由軟體、工具、程式庫與資源構成的廣大生態系統的支持

有了如虎添翼的Helium技術，Cortex-M55處理器利用Cortex-M處理器極小的占地面積，在訊號處理與ML應用上都達成顯著的效能提升。此外，Armv8.1-M架構也可以協助提升下列情況之標準應用的效能：向量化某些數據處理的運算，以及使用某些新的分支、迴路與條件式執行指令，達成更佳的性能與更小的編碼尺寸。

除了效能的增強，另外還多了各種新功能，包括安全的增強以及除錯的新功能。有了共處理器介面與對Arm Custom Instructions的支援，Cortex-M55處理器對於同時講究效能、能源效率與安全性的許多低耗電嵌入式與物聯網應用，都相當理想。

針對要求更高的ML系統，Cortex-M55可以很輕易搭配Ethos-U55，因為它們已經完全整合到單一的Cortex-M工具鍊中，且與現有的Cortex-M處理器相比，ML的效能可以提升480倍。

---

有了強大的生態系統的奧援、480倍的效能提升，以及包括CMSIS-DSP、CMSIS-NN與Trusted Firmware-M等各種支援計劃，利用Cortex-M55處理器展開應用開發，與使用之前的Cortex-M處理器一樣簡單。

更多有關Cortex-M55處理器、支援的IP與相關工具及軟體資訊，請造訪下列連結：

## 參考

[Cortex-M55 網頁](#)

[Corstone-300 網頁](#)

[Ethos-U55 網頁](#)

[Arm Helium 技術網頁](#)

[Arm TrustZone 技術網頁](#)

[Arm Custom Instructions 網頁](#)

[Armv8.1-M 架構白皮書](#)

[Keil MDK 網頁](#)

[Fast Models 與 Fixed Virtual PlatForms](#)

[TensorFlow Lite Micro](#)

[CMSIS](#)

[Arm Development Studio 網頁](#)

[Trusted Firmware 網頁](#)

[平台安全架構\(PSA\) 網頁](#)

[Artisan Physical IP Libraries 網頁](#)



All brand names or product names are the property of their respective holders. Neither the whole nor any part of the information contained in, or the product described in, this document may be adapted or reproduced in any material form except with the prior written permission of the copyright holder. The product described in this document is subject to continuous developments and improvements. All particulars of the product and its use contained in this document are given in good faith. All warranties implied or expressed, including but not limited to implied warranties of satisfactory quality or fitness for purpose are excluded. This document is intended only to provide information to the reader about the product. To the extent permitted by local laws Arm shall not be liable for any loss or damage arising from the use of any information in this document or any error or omission in such information.